

ANALIZA LOGARYTMICZNEGO ANALOGOWO-CYFROWEGO PRZETWORNIKA Z SUKCESYWNĄ APROKSYMACJĄ Z UWZGLĘDNIENIEM PASOŻYTNICZYCH POJEMNOŚCI

Adam Szcześniak¹, Zynowij Myczuda²

¹Politechnika Świętokrzyska, Wydział Mechatroniki i Budowy Maszyn, ²Narodowy Uniwersytet „Politechnika Lwowska”, Instytut Technologii Komputerowych, Automatyki i Metrologii

Streszczenie. W artykule przedstawiono analizę logarytmicznego analogowo-cyfrowego przetwornika (LPAC) z sukcesywną aproksymacją z uwzględnieniem pasożytniczych pojemności przetwornika. Dla założonych parametrów struktury przetwornika przeprowadzono analizę matematyczną przy wybranych pojemnościach kondensatorów akumulujących. Określono kryterium, jakie powinno się stosować przy doborze pojemności kondensatorów akumulujących.

Słowa kluczowe: analogowo-cyfrowy przetwornik, logarytm, aproksymacja, podział, ładunek, dokładność

ANALYSIS OF LOGARITHMIC ANALOG-TO-DIGITAL CONVERTER WITH SUCCESSIVE APPROXIMATION TAKING INTO ACCOUNT PARASITIC CAPACITANCES

Abstract. This article is a presentation of analysis of logarithmic analog-to-digital converter (LADC) with successive approximation taking into account parasitic capacitances of the converter. For the assumed parameters of converter structure, mathematical analysis with chosen capacitances of accumulative capacitors has been conducted. A criterion for choosing capacitances of accumulative capacitors has been determined.

Keywords: analog-to-digital converter, logarithm, approximation, division, charge, accuracy

Wstęp

Szybki rozwój komputerowych systemów monitorujących i systemów cyfrowej obróbki informacji sprzyjały pojawieniu się znacznej liczby różnych przetworników analogowo-cyfrowych (PAC), które są ważnym ogniwem, zapewniającym powiązanie cyfrowych sygnałów i systemów z rzeczywistymi obiektami. Należy podkreślić, że informacja o stanie obiektów w zdecydowanej większości (ponad 90%) jest w postaci analogowej. Szczególną uwagę przywiązuje się do PAC z logarytmiczną charakterystyką przetwarzania. Wykorzystanie logarytmowania pozwala efektywnie rozwiązać szereg ważnych zadań takich jak kompresja dynamicznego zakresu wejściowych sygnałów, zapewnienie stałej wartości względnego błędu przetwarzania, linearyzacji charakterystyk przetwarzania oraz znaczne podwyższenie wydajności cyfrowych procesorów dzięki możliwości wykonania operacji logarytmicznej arytmetyki. W logarytmicznej arytmetyce operacje mnożenia, dzielenia lub podniesienia do potęgi sprowadza się do operacji dodawania, odejmowania, mnożenia lub dzielenia przez stałe współczynniki odpowiednich danych, które są określone w logarytmicznej postaci. [12]

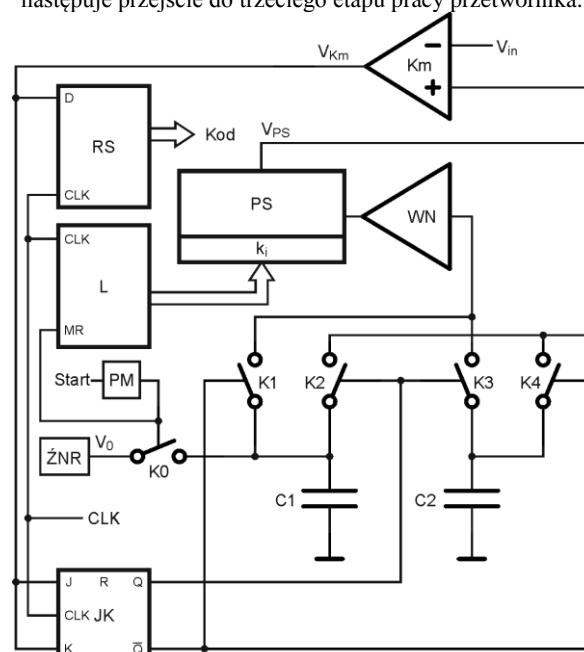
Celem pracy jest ustalenie funkcji przekazania LPAC z sukcesywną aproksymacją, zbadanie stabilności określenie wpływu procesów przejściowych tego przetwornika.

Na rys. 1 został przedstawiony logarytmiczny przetwornik analogowo-cyfrowy (LPAC) z sukcesywną aproksymacją [12].

Jego cykl pracy można podzielić na trzy etapy:

- W pierwszym etapie po komendzie start przetwornik Mono stabilny PM wytwarza impuls, którym ustawia się licznik L w początkowy stan 0 i włącza się klucz K0 przez który ładuje się kondensator C1 ze źródła referencyjnego ŻNR napięciem V_0 . Gdy kondensator C1 osiągnie wartość napięcia V_0 następuje przejście do następnej fazy pracy przetwornika.
- W drugim etapie przełączniki K1, K4 są włączone (stan przewodzenia) a przełączniki K2, K3 wyłączane (stan nieprzewodzenia). Wartość początkowego napięcia V_0 znajdująca się na kondensatorze C1 jest przekazywana poprzez przetwornik skalujący PS na kondensator C2. Wyjściowe napięcie tego przetwornika (V_{PS}) porównuje się z wejściowym napięciem V_{in} i ustanawia nową wartość napięcia na kondensatorze C2 zgodnie z wybranym współczynnikiem przekazania k_i . Współczynniki przekazywania k_i muszą być różne od jedności. W symulowanym układzie przyjęto je, jako mniejsze od jedności. W kolejnym takcie zegara wartość

napięcia V_{PS} porównywana jest z napięciem wejściowym V_{in} . W przypadku, gdy wartość napięcia V_{PS} jest mniejsza od napięcia V_{in} komparator jest w stanie „0” i wybierany jest następny współczynnik przetwarzania k_{i+1} , wówczas kondensator C2 ładuje się do nowej wartości napięcia zgodnie z ustawionym współczynnikiem przetwarzania (w danym przypadku k_{i+1}). Gdy napięcie V_{PS} będzie większe od napięcia mierzonego V_{in} wtedy komparator zmieni stan na „1” i następuje przejście do trzeciego etapu pracy przetwornika.



Rys. 1. Logarytmiczny przetwornik analogowo-cyfrowy (LPAC) z sukcesywną aproksymacją (PS – przetwornik skalujący, RS – rejestr szeregowy, L – licznik, Km – komparator, WN – wtórnik napięcia, PM – przerzutnik monostabilny, ŻNR – źródło napięcia referencyjnego, JK – przerzutnik JK, K0 do K4 – klucze analogowe, C1 i C2 – kondensatory akumulujące)

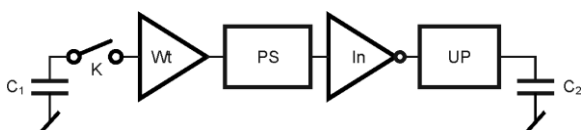
- W trzecim etapie przy następnym takcie zegarowym przełączniki K1, K4 zostają otwarte, a przełączniki K2, K3 zamknięte. Jednocześnie wartość napięcia znajdująca się na kondensatorze C2 zostaje przekazana na kondensator C1. W tym momencie algorytm pracy tej metody zaczyna się powtarzać. Gdy komparator jest w stanie „1” to kondensatory C1 i C2 podłączone są do PS z zamianą miejsc. Gdy

komparator jest w stanie „0” podłączenie kondensatorów C1 i C2 do PS pozostaje bez zmian. Ustawione napięcie na kondensatorze C1 zostaje wzmacniane przez kolejne współczynniki k_i aż do osiągnięcia napięcia na kondensatorze C1 większego od V_{in}

W artykule przedstawiono analizę pracy przetwornika, w którym napięcie z kondensatora C1 jest przekazywane przez odpowiedni współczynnik skalujący na kondensator C2.

1. Analiza matematyczna logarytmicznego analogowo-cyfrowego przetwornika z sukcesywną aproksymacją

W celu przeprowadzenia analizy matematycznej logarytmicznego analogowo-cyfrowego przetwornika z sukcesywną aproksymacją sporządzono schematy zastępcze dla poszczególnych bloków funkcyjnych układu przetwornika z rys. 2, gdzie: Wt – wtórnik napięcia, PS – przetwornik skalujący, In – inwerter napięcia, UP – układ przełączający, C₁ i C₂ – pojemności akumulujące LPAC.



Rys. 2. Układ przetwornika obrazujący tor sygnałowy od kondensatora C_1 do kondensatora C_2

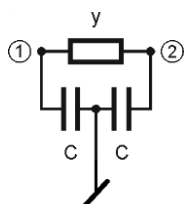
Analizę matematyczną logarytmicznego analogowo-cyfrowego przetwornika z sukcesywną aproksymacją przeprowadzono wykorzystując metodę napięć węzłowych [9]. Analizę tą przeprowadzono dla następujących parametrów:

$K = 10^6$, $Y_{vy} = 5$ mS, $C_p = 2$ pF, $C_w = 4$ pF, $Y_s = 10$ nS, $Y = 10$ mS, $C = 4$ pF, $Y_{we} = 1$ μ S, $C_r = 4$ pF, $Y_1 = 0,1$ mS, $Y_2 = 1$ mS, $Y_3 = 0,1$ mS, $Y_B = 0,13$ mS, $C_1 = 1$ nF, $C_2 = 1$ nF, $C_L = 10$ pF.

gdzie: K – współczynnik wzmocnienia napięcia wzmacniacza operacyjnego (WO) bez sprzężenia zwrotnego, Y_{wy} – admitancja wyjściowa WO, C_p – pasożytnicza pojemność między wejściem odwracającym, a wyjściem WO, C_w – pasożytnicza pojemność każdego z wejść WO odwracającego i nieodwracającego WO, Y_s – admitancja wejściowa WO, y – admitancja przełącznika analogowego w stanie zamkniętym, C_p – pasożytnicza pojemność przełącznika analogowego, Y_{we} – admitancja wejściowa, C_r – pasożytnicza pojemność widziana między wejściem odwracającym, a wejściem nieodwracającym, Y_1 , Y_2 – admitancje skalującego przetwornika, Y_3 – admitancja inwertera, Y_B – admitancja użyta w PS oraz inwerterze napięcia w celu spolaryzowania wejścia nieodwracającego, C_1 , C_2 – pojemności akumulujące LPAC, C_1 – pojemność wyjściowa WO.

Dla poszczególnych bloków przetwornika (rys. 2) na podstawie schematów zastępczych tych bloków przetwornika, na rys. 3, 4, 5, 6 zapisano macierze admitancji, oraz wyznaczono ich transmitancje i rezystancje wyjściowe:

- **Przełącznik analogowy (K)**



Rys. 3. Schemat zastępczy przełącznika analogowego

Macierz admitancji układu wynosi:

$$Y_K(s) = \begin{bmatrix} y + s(C + C_1) & -y \\ -y & y + sC \end{bmatrix} \quad (1)$$

W powyższej macierzy admitancji przełącznika analogowego uwzględniono kondensator C_1 , który jest podłączony na wejście przełącznika analogowego K (rys. 2).

Współczynnik wzmocnienia napięcia, który zarazem jest transmitancją przełącznika analogowego wyznaczono ze wzoru:

$$K_{12} = G_K(s) = \Delta_{12}(s)/\Delta_{11}(s) \quad (2)$$

gdzie: $\Delta_{12}(s)$ i $\Delta_{11}(s)$ – odpowiednie dopełnienia macierzy admitancji przełącznika analogowego K.

Powyższe dopełnienia macierzy K określono jako:

$$\Delta_{12}(s) = (-1)^3 \cdot (-y) \quad \Delta_{11}(s) = (-1)^2 \cdot [y + s(C + C_1)] \quad (3)$$

Na podstawie dopełnień $\Delta_{12}(s)$ oraz $\Delta_{11}(s)$ obliczono rzeczywista transmitancję dla przełącznika analogowego K:

$$G_K(s) = \frac{\Delta_{12}(s)}{\Delta_{11}(s)} = \frac{y}{y + s(C + C_1)} \quad (4)$$

Współczynnik wzmocnienia napięcia analogowego układu przełączającego wynosi 1. $K_{U12} = G_K(0)$

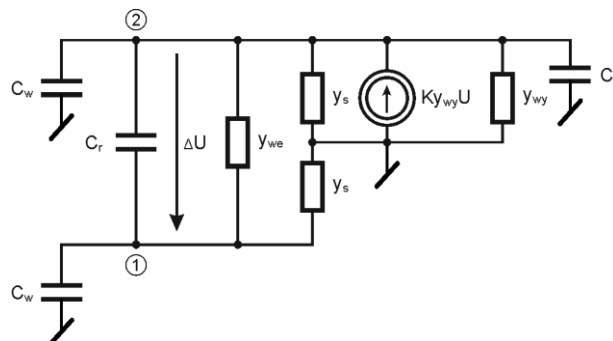
Rezystancję wyjściową przełącznika analogowego R_K w stanie zamkniętym, obliczono według poniższego wzoru eliminując pojemności występujące w dopełnieniach:

$$R_K = \frac{\Delta_{22,11}^{(0)}}{\Delta_{11}^{(0)}} \quad (5)$$

Dopełnienie $\Delta_{22,11}(s)$ macierzy admittancji Y_K określono jako dopełnienie powstające po skreśleniu pierwszego wiersza i pierwszej kolumny oraz drugiego wiersza i drugiej kolumny z macierzy admittancji Y_K pomnożone przez $(-1)^{2+2+1+1}$.

Obliczone wyznaczniki pozwalają wyznaczyć rezystancję wyjściową R_K układu przełącznika analogowego K, która wynosi 100Ω .

- **Wtórnik napięcia (Wt)**



Rys. 4. Schemat zastępczy wtórnika napięcia

Macierz admitancji układu wynosi:

$$Y_{Wt}(s) = \begin{bmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{bmatrix} \quad (6)$$

gdzie:

$$a_{11} = Y_{\text{we}} + Y_{\text{s}} + s(C_{\text{w}} + C_{\text{r}}), \quad a_{12} = -Y_{\text{we}} - sC_{\text{r}},$$

$$a_{21} = -Y_{wp} - KY_{wv} - sC_r,$$

$$a_{22} = Y_s + Y_{wy} + Y_{we} + KY_{wy} + s(C_w + C_r + C_L)$$

Współczynnik wzmocnienia napięcia, który jest zarazem transmitancja układu przełączającego wyznaczono ze wzoru:

$$K_{II14} = G_{Wt}(s) = \Delta_{12}(s)/\Delta_{11}(s) \quad (7)$$

gdzie: $\Delta_{12}(s)$ i $\Delta_{11}(s)$ – odpowiednie dopełnienia macierzy admitancji wtórnika Y_{wt} .

Na podstawie dopełnień $\Delta_{12}(s)$ oraz $\Delta_{11}(s)$ obliczono rzeczywistą transmitancję dla wtórnika napięciowego (bufora):

$$G(s) = \frac{\Delta_{12}(s)}{\Delta_{11}(s)} = \frac{4 \cdot 10^{-12}s + 5000}{1.8 \cdot 10^{-11}s + 5000} \quad (8)$$

Współczynnik wzmacnienia wtórnika napięcia $K_{U14} = G(0)$ wynosi 1.

Rezystancję wyjściową wtórnika napięcia (bufora) R_{Wt} w stanie zamkniętym, obliczono według poniższego wzoru, eliminując pojemności występujące w dopełnieniach:

$$R_{Wt} = \frac{\Delta_{22,11}}{\Delta_{11}} \quad (9)$$

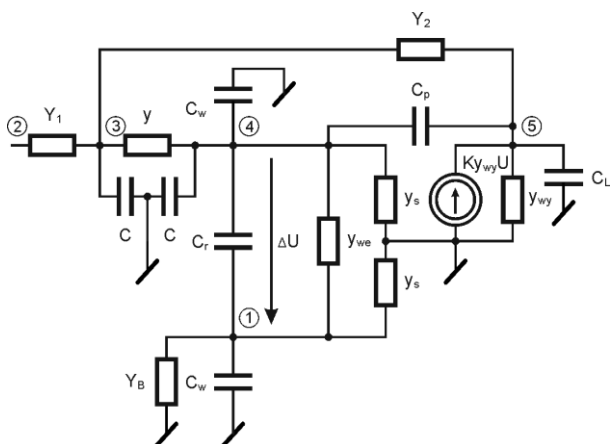
wówczas rezystancja wtórnika napięcia R_{Wt} wynosi 0,2 mΩ.

• Przetwornik skalujący (PS)

Macierz admittancji układu wynosi:

$$Y_{PS}(s) = \begin{bmatrix} b_{11} & b_{12} & b_{13} & b_{14} & b_{15} \\ b_{21} & b_{22} & b_{23} & b_{24} & b_{25} \\ b_{31} & b_{32} & b_{33} & b_{34} & b_{35} \\ b_{41} & b_{42} & b_{43} & b_{44} & b_{45} \\ b_{51} & b_{52} & b_{53} & b_{54} & b_{55} \end{bmatrix} \quad (10)$$

gdzie: $b_{11} = Y_{we} + Y_s + Y_b + s(C_r + C_w)$, $b_{12} = 0$, $b_{13} = 0$,
 $b_{14} = -Y_{we} - sC_r$, $b_{15} = 0$, $b_{21} = 0$, $b_{22} = Y_1$, $b_{23} = -Y_1$,
 $b_{24} = 0$, $b_{25} = 0$, $b_{31} = 0$, $b_{32} = -Y_1$, $b_{33} = Y + Y_1 + Y_2 + sC$,
 $b_{34} = -Y$, $b_{35} = -Y_2$, $b_{41} = -Y_{we} - sC_r$, $b_{42} = 0$, $b_{43} = -Y$,
 $b_{44} = Y + Y_{we} + Y_s + s(C_w + C_r + C_p)$, $b_{45} = -sC_p$,
 $b_{51} = -KY_{wy}$, $b_{52} = 0$, $b_{53} = -Y_2$, $b_{54} = -sC_p + KY_{wy}$,
 $b_{55} = Y_2 + Y_{wy} + s(C_p + C_2)$.



Rys. 5. Schemat zastępczy przetwornika skalującego

Współczynnik wzmocnienia napięcia, który jest zarazem transmitancją przetwornika skalującego wyznaczono ze wzoru:

$$K_{U14} = G_{PS}(s) = \Delta_{25}(s) / \Delta_{22}(s) \quad (11)$$

gdzie: $\Delta_{25}(s)$ i $\Delta_{22}(s)$ – odpowiednie dopełnienia macierzy admittancji skalującego przetwornika $Y_{PS}(s)$ wynoszące:

$$\Delta_{25}(s) = -4.5 \cdot 10^{32} s^3 + 4 \cdot 10^{46} s^2 + 2 \cdot 10^{54} s + 2.2 \cdot 10^{61}$$

$$\Delta_{22}(s) = 5.1 \cdot 10^{17} s^5 + 3.2 \cdot 10^{29} s^4 + 9.0 \cdot 10^{38} s^3 + 4.4 \cdot 10^{-47} s^2 + 2.0 \cdot 10^{55} s + 2.2 \cdot 10^{62}$$

Współczynnik wzmocnienia napięcia $K_{U25} = G(0)$ analogowego przetwornika skalującego (PS) wynosi 0,1.

Rezystancję wyjściową przetwornika skalującego R_{PS} w stanie zamkniętym obliczono według poniższego wzoru eliminując pojemności występujące w dopełnieniach:

$$R_{PS} = \frac{\Delta_{55,22}}{\Delta_{22}} \quad (12)$$

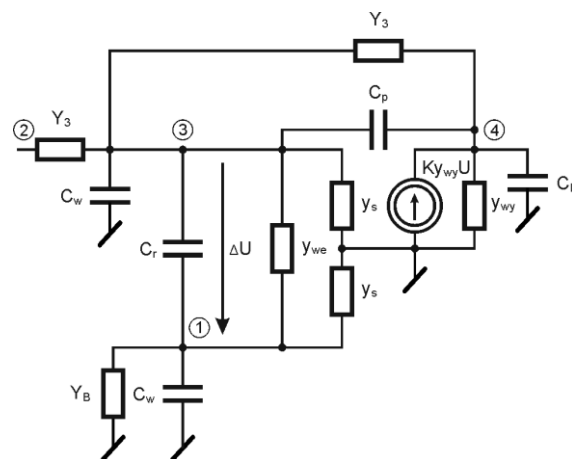
Obliczone dopełnienia pozwalają określić rezystancję wyjściową R_{PS} przetwornika skalującego PS, która wynosi 0,2 mΩ.

• Inwerter napięcia (In)

Macierz admittancji układu wynosi:

$$Y_{In}(s) = \begin{bmatrix} c_{11} & c_{12} & c_{13} & c_{14} \\ c_{21} & c_{22} & c_{23} & c_{24} \\ c_{31} & c_{32} & c_{33} & c_{34} \\ c_{41} & c_{42} & c_{43} & c_{44} \end{bmatrix} \quad (13)$$

gdzie: $c_{11} = Y_{we} + Y_s + Y_b + s(C_w + C_r)$, $c_{12} = 0$,
 $c_{13} = -Y_{we} - sC_r$, $c_{14} = 0$, $c_{21} = 0$, $c_{22} = Y_3$, $c_{23} = -Y_3$,
 $c_{24} = 0$, $c_{31} = -Y_{we} - sC_r$, $c_{32} = -Y_3$,
 $c_{33} = Y_{we} + Y_s + Y_3 + s(C_w + C_r)$, $c_{34} = -Y_3 - sC_p$,
 $c_{41} = -KY_{wy}$, $c_{42} = 0$, $c_{43} = -Y_3 - sC_p + KY_{wy}$,
 $c_{44} = Y_3 + Y_{wy} + s(C_p + C_L)$



Rys. 6. Schemat zastępczy inwertera napięcia

Współczynnik wzmocnienia napięcia, który zarazem jest transmitancją inwertera napięcia wyznaczono ze wzoru:

$$K_{U24} = G_{in}(s) = \Delta_{24}(s) / \Delta_{22}(s) \quad (14)$$

gdzie: $\Delta_{24}(s)$ i $\Delta_{22}(s)$ – odpowiednie dopełnienia macierzy admittancji inwertera napięcia $Y_{In}(s)$ wynoszące:

$$\Delta_{24}(s) = -1.64 \cdot 10^{-27} s^2 + 2 \cdot 10^{-12} s + 0.0000667$$

$$\Delta_{22}(s) = 5.44 \cdot 10^{-34} s^3 + 4 \cdot 10^{-20} s^2 + 3.33 \cdot 10^{-12} s + 0.0000667$$

Współczynnik wzmocnienia napięcia $K_{U24} = G(0)$ analogowego inwertera napięcia In wynosi -1.

Rezystancję wyjściową inwertera napięcia R_{In} w stanie zamkniętym obliczono według poniższego wzoru eliminując występujące w dopełnieniach pojemności:

$$R_{In} = \frac{\Delta_{44,22}}{\Delta_{22}} \quad (15)$$

Obliczone i podstawione dopełnienia pozwalają obliczyć rezystancję wyjściową R_{In} :

$$R_{In} = 0,2 \text{ m}\Omega$$

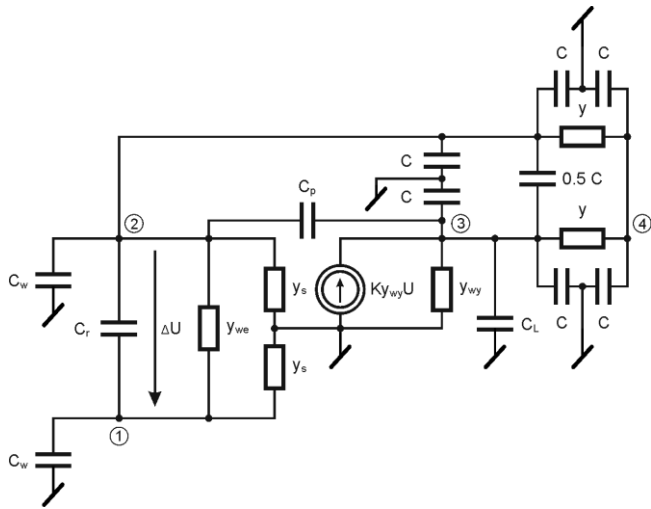
• Układ przełączający (UP)

W poniższej macierzy admittancji został uwzględniony kondensator C_2 , który jest podłączony na wyjście układu przełączającego UP przetwornika.

$$Y_{UK}(s) = \begin{bmatrix} d_{11} & d_{12} & d_{13} & d_{14} \\ d_{21} & d_{22} & d_{23} & d_{24} \\ d_{31} & d_{32} & d_{33} & d_{34} \\ d_{41} & d_{42} & d_{43} & d_{44} \end{bmatrix} \quad (16)$$

gdzie: $d_{11} = Y_{we} + Y_s + s(C_w + C_r)$, $d_{12} = -Y_{we} - sC_r$, $d_{13} = 0$,
 $d_{14} = 0$, $d_{21} = -Y_{we} - sC_r$,
 $d_{22} = Y_{we} + Y_s + Y + s(C_p + 2.5C + C_w + C_r)$,

$$\begin{aligned}d_{23} &= -s(C_p + 0.5C), \quad d_{24} = -Y, \quad d_{31} = -KY_{wy}, \\d_{32} &= +KY_{wy} - s(C_p + 0.5C), \\d_{33} &= Y_{wy} + Y + s(C_p + 2.5C + C_L), \quad d_{34} = -Y, \quad d_{41} = 0, \\d_{42} &= -Y, \quad d_{43} = -Y, \quad d_{44} = 2Y + s(C_2 + 2C)\end{aligned}$$



Rys. 7. Schemat zastępczy ulepszonego układu przełączającego

Współczynnik wzmocnienia napięcia, który zarazem jest transmitancją układu przełączającego wyznaczono ze wzoru:

$$K_{III4} = G_{IIP}(s) = \Delta_{14}(s) / \Delta_{11}(s) \quad (17)$$

gdzie: $\Delta_{14}(s)$ i $\Delta_{11}(s)$ - odpowiednie dopełnienia macierzy admittancji układu przełączającego UP wynoszące:

$$\Delta_{14}(s) = 1.04 \cdot 10^{-24} s^2 + 1.0 \cdot 10^{-9} s + 0.5$$

$$\Delta_{11}(s) = 4.27 \cdot 10^{-31} s^3 + 2.02 \cdot 10^{-17} s^2 + 4 \cdot 10^{-10} s + 0.5$$

Współczynnik wzmocnienia napięcia $K_{U14} = G(0)$ analogowego układu przełączającego wynosi 1.

Rezystancję wyjściową układu przełączającego R_{UP} w stanie zamkniętym obliczono według poniższego wzoru eliminując występujące w dopełnieniach pojemności:

$$R_{\text{UP}} = \frac{\Delta_{44,11}}{\Delta_{11}} \quad (18)$$

Obliczone dopełnienia pozwalają obliczyć rezystancję wyjściową R_{UP} układu przełączającego UP, która wynosi 0,3 mΩ.

Mając obliczone transmitancje oraz rezystancje wyjściowe poszczególnych bloków funkcyjnych LPAC możemy przejść do dalszych obliczeń i analizy całej struktury przetwornika.

Transmitancja całego układu LPAC jest iloczynem poszczególnych bloków połączonych między sobą szeregowo:

$$G(s) = G_K(s) \cdot G_{Wf}(s) \cdot G_{PS}(s) \cdot G_{In}(s) \cdot G_{IP}(s) \quad (19)$$

W celu przejrzystości zapisu zapiszmy transmitancje przetwornika, jako:

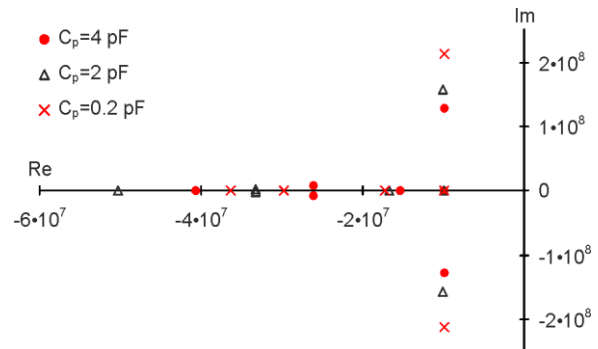
$$G(s) = \frac{L(s)}{M(s)} \quad (20)$$

gdzie:

$$\begin{aligned} L(s) &= 2.98 \cdot 10^{-31} s^8 + 2.05 \cdot 10^{-17} s^7 - 0.72 \cdot s^6 + \\ &- 3.2 \cdot 10^{-13} \cdot s^5 + 4 \cdot 10^{-29} s^4 + 2.33 \cdot 10^{-38} s^3 + \\ &+ 1.76 \cdot 10^{-46} s^2 + 4.54 \cdot 10^{-53} s + 3.73 \cdot 10^{-60} \\ M(s) &= 2.15 \cdot 10^{-64} \cdot s^{13} + 8.6 \cdot 10^{-50} \cdot s^{12} + 8.02 \cdot 10^{-36} s^{11} + \\ &+ 2.13 \cdot 10^{-22} \cdot s^{10} + 1.3 \cdot 10^{-10} \cdot s^9 + 0.38 \cdot s^8 + \\ &+ 2.25 \cdot 10^{-8} \cdot s^7 + 3.97 \cdot 10^{-16} \cdot s^6 + 7.16 \cdot 10^{-24} s^5 + \\ &+ 7.04 \cdot 10^{-32} s^4 + 3.38 \cdot 10^{-40} s^3 + 8.08 \cdot 10^{-47} s^2 + \\ &+ 9.07 \cdot 10^{-54} s + 3.73 \cdot 10^{-61} \end{aligned}$$

Dla wyznaczonej transmitancji LPAC można zbadać stabilność przetwornika oraz wyznaczyć jego odpowiedź skokową. Badania przeprowadzono dla wcześniej podanych parametrów, uwzględniając w nich wpływ zmian pojemności pasozytniczej C_p .

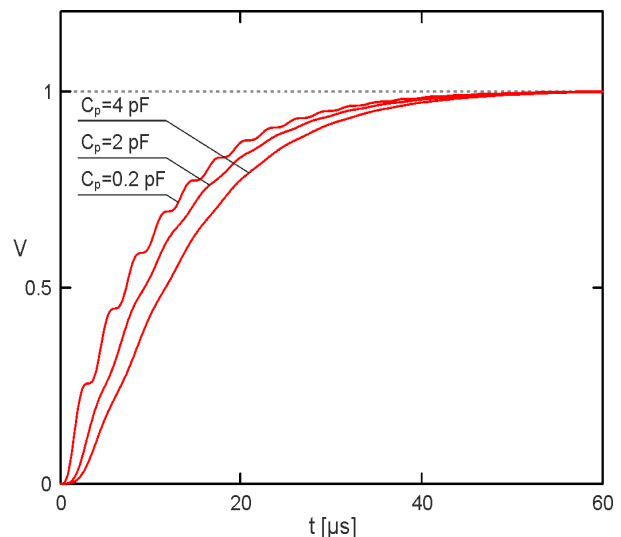
Stabilność LPAC sprawdzono obliczając poszczególne bieguny transmitancji. Na rys. 8 przedstawiono bieguny w otoczeniu zera dla pojemności C_p równej 4, 2, 0,2 pF. (pominięto bieguny położone w lewej półpłaszczyźnie Re-Im znacznie odległe od układu współrzędnych)



Rys. 8. Bieguny transmitancji dla pojemności C_p wynoszącej 4, 2, 0.2 pF

Należy podkreślić, że pierwiastki mianownika transmitancji układu leżą w lewej półpłaszczyźnie, a więc układ jest stabilny dla powyższych pojemności pasożytniczych. Sprężone pierwiastki układu wprowadzają oscylacje odpowiedzi skokowej, przy czym oscylacje rosną wraz ze wzrostem pojemności pasożytniczej.

Odpowiedzi skokowe, dla układu LPAC pracującego z kondensatorami komutacyjnymi C_1 i C_2 o pojemnościach 1 nF przedstawiono na rys. 9 z pojemnością pasożytniczą $C_p = 4, 2$ i 0,2 pF.



Rys. 9. Odpowiedź skokowa LPAC w trybie przetwarzania sygnału analogowego na postać cyfrową dla pojemności $C_p=4, 2$ i $0,2$ pF

2. Podsumowanie

Na podstawie przeprowadzonej analizy logarytmicznego analogowo-cyfrowego przetwornika o przedstawionych parametrach użytych elementów można stwierdzić, że:

- 1) Przy projektowaniu LPAC należy tak dobrać pojemności kondensatorów akumulujących, aby były znacznie większe od pojemności pasywnych układu przetwornika.

- 2) Dla pojemności kondensatorów akumulujących $C_1 = C_2 = 1 \text{ nF}$ z przeprowadzonej analizy matematycznej wynika, że wraz ze zmniejszeniem pojemności pasożytniczych z $C_p = 4 \text{ pF}$ do $C_p = 0,2 \text{ pF}$ zaczynają pojawiać się większe oscylacje, które z czasem zanikają i LPAC nie traci stabilności.
- 3) Czas ustalania odpowiedzi skokowej dla błędu względnego jest mniejszy bądź równy $0,01\%$ i nie przekracza $1 \mu\text{s}$.

Literatura

- [1] Cantarano S., Pallotino G.: Logarithmic Analog-to-Digital Converters: A Survey. IEEE Transactions on Instrumentation and Measurement 22(3)/1973, 201–213.
- [2] Cedro L.: Filtry różniczkujące w układach czasu rzeczywistego. Przegląd Elektrotechniczny 7/2013, 137–141.
- [3] Gorisse J., Cathelin F. A., Kaiser A., Kerherve E.: Patent No. EP2360838A1 Method for logarithmic analog-to-digital conversion of an analog input signal and corresponding apparatus.
- [4] Greanger D. C., Heald A. B., Marlow B. K., Moore M. B.: A switched-capacitor signal processing circuit for capacitive microsensors. Nat. Conf. Publ. Inst. Eng., Austral. 91/1991, 21–24.
- [5] Guilherme J., Horta N. C., Franca J. E.: Symbolic synthesis of non-linear data converters. Electronics, Circuits and Systems, 1998 IEEE International Conference on 3/1998, 219–222.
- [6] Lefas C.C.: A serial charge redistribution logarithmic A/D converter. Int. Journal of Circuit Theory and Applications 17/1989, 47–54.
- [7] Lefas C.C.: Successive approximation logarithmic A/D conversion using charge redistribution techniques. Int. Journal of Circuit Theory and Applications, 15(1)/1987, 61–69.
- [8] Moon J. H., Kim D. Y., Song M. K.: Patent No. KR20110064514A, Logarithmic Single-Slope Analog Digital Converter, Image Sensor Device And Thermometer Using The Same, And Method For Logarithmic Single-Slope Analog Digital Converting.
- [9] Myczuda Z., Szcześniak Zb.: Analiza parametrów układów elektronicznych, Wydawnictwo PAK, 2011.
- [10] Szcześniak A., Myczuda Z.: Analiza rozwiązań układowych zmniejszających rezystancję przewodzenia w kluczach analogowych, PAK 57(3), 2011, 269–273.
- [11] Szcześniak A., Antoniuk U., Myczuda L., Myczuda Z.: Logarytmiczne przetworniki analogowo-cyfrowe z nagromadzeniem ładunku i impulsowym sprzężeniem zwrotnym. Przegląd Elektrotechniczny 8/2013, 277–281.
- [12] Szcześniak A., Myczuda Z.: A method of charge accumulation in the logarithmic analog-to-digital converter with a successive approximation. Przegląd Elektrotechniczny 10/2010, 336–340.

- [13] Szcześniak A., Myczuda Z.: Analiza prądów upływu logarytmicznego przetwornika analogowo-cyfrowego z sukcesywną aproksymacją, Przegląd Elektrotechniczny 5a/2012, 247–250.
- [14] Szcześniak A., Szcześniak J.: Zastosowanie pamięci stałej do przetwarzania sygnałów optoelektronicznego przetwornika położenia. Przegląd Elektrotechniczny 7/2014, 84–87.
- [15] Szcześniak A., Szcześniak Z.: Methods and analysis of processing signals of incremental optoelectronic transducer. Review of Scientific Instruments 80/2009, 1–6.
- [16] Szcześniak A., Szcześniak Z.: Mikroprocesorowe przetwarzanie sygnałów optoelektronicznego przetwornika położenia. Przegląd Elektrotechniczny 4/2009, 153–158.
- [17] Szcześniak A., Szcześniak Z.: Mikroprocesorowy symulator sygnałów optoelektronicznego przetwornika położenia. Przegląd Elektrotechniczny 8/2009, 119–122.
- [18] Szcześniak A., Szcześniak Z.: Signals of optoelectronic transducer processed in flip-flop circuits. Przegląd Elektrotechniczny 9/2010, 348–350.

Dr inż. Adam Szcześniak

e-mail: adam_szczeniak@o2.pl

Dr inż. Adam Szcześniak jest adiunktem w katedrze Automatyki i Robotyki na Wydziale Mechatroniki i Budowy Maszyn Politechniki Świętokrzyskiej. Jego zainteresowania naukowe koncentrują się głównie wokół układów elektronicznych, mikrokontrolerów, przetworników analogowo-cyfrowych, logarytmicznych, pomiarowych oraz optoelektronicznych. Jest współautorem jednej monografii, rozdziału w monografii, ponad 13 artykułów naukowych oraz zgłoszenia patentowego.



Prof. dr hab. inż. Zynovij Myczuda

e-mail: z_mychuda@ukr.net

Prof. dr hab. inż. Zynovij Myczuda jest profesorem Politechniki Świętokrzyskiej w Kielcach oraz Politechniki Lwowskiej. Jego zainteresowania naukowe obejmują metody analizy i modelowania urządzeń automatyki oraz przetworniki analogowo-cyfrowe, logarytmiczne i pomiarowe. Jest autorem ponad 140 prac naukowych, w tym 1 monografii i 30 patentów.



otrzymano/received: 15.06.2016

przyjęto do druku/accepted: 01.06.2017